

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Jae-Sun Yun; Jin-Hyun Shin

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: METHODS OF FORMING TRENCH ISOLATED INTEGRATED CIRCUIT
DEVICES INCLUDING GROOVES, AND TRENCH ISOLATED INTEGRATED
CIRCUIT DEVICES SO FORMED

June 23, 2003

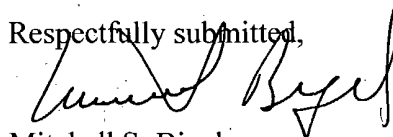
Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of
Korean priority Application No. 2002-0061720, filed October 10, 2002.

Respectfully submitted,



Mitchell S. Bigel
Registration No. 29,614

Correspondence Address:



20792

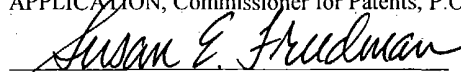
PATENT TRADEMARK OFFICE

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 353609729 US

Date of Deposit: June 23, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post
Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT
APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Susan E. Freedman

Date of Signature: June 23, 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0061720
Application Number

출원년월일 : 2002년 10월 10일
Date of Application
OCT 10, 2002

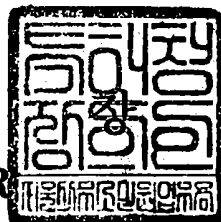
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.10.10
【발명의 명칭】	트렌치 소자분리막을 갖는 반도체소자 형성방법
【발명의 영문명칭】	Method of forming semiconductor device having trench device isolation layer
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	신진현
【성명의 영문표기】	SHIN, JIN HYUN
【주민등록번호】	680215-1794111
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 964-5 주공아파트 503동 1804호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤재선
【성명의 영문표기】	YUN, JAE SUN
【주민등록번호】	710704-1395027

【우편번호】 449-900
【주소】 경기도 용인시 기흥읍 농서리 산7-1 월계수동 1028호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 17 면 17,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 20 항 749,000 원
【합계】 795,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

트렌치 소자분리막을 갖는 반도체소자의 형성방법을 제공한다. 이 방법은 반도체기판에 버퍼절연막 및 하드마스크막을 차례로 형성하는 단계를 구비한다. 하드마스크막 및 버퍼절연막을 연속적으로 패터닝하여 반도체기판의 소정영역을 노출시키는 개구부를 형성한다. 노출된 반도체기판을 선택적으로 식각하여 트렌치를 형성하고, 트렌치 내에 상부 측벽에 홈을 갖는 하부 소자분리막을 형성한다. 하부 소자분리막 상에 홈 및 트렌치를 채우는 상부 소자분리막을 형성하고, 하드마스크막 및 버퍼절연막을 반도체기판이 노출될때까지 식각하여 제거한다. 이때, 홈은 반도체기판의 표면으로 부터 소정의 깊이를 갖는다.

【대표도】

도 8

【명세서】

【발명의 명칭】

트렌치 소자분리막을 갖는 반도체소자 형성방법{Method of forming semiconductor device having trench device isolation layer}

【도면의 간단한 설명】

도 1 및 도 2는 종래의 트렌치 소자분리막의 형성방법을 설명하기 위한 단면도들이다.

도 3a, 도 3b, 도 4 내지 도 8은 본 발명의 일 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

도 3b 및 도 4b는 일 실시예에 따른 반도체 소자 중에 하부 소자절연막 패턴을 형성하는 다른 방법을 설명하기 위한 단면도들이다.

도 9, 도 10, 도 11a, 도 12a, 도 13 및 도 14는 본 발명의 다른 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

도 11b는 본 발명의 다른 실시예에 따른 반도체 소자 중 하부 소자절연막 패턴을 형성하는 다른 방법을 설명하기 위한 단면도이다.

도 12b는 본 발명의 다른 실시예에 따른 반도체 소자 중 식각완충막을 설명하기 위한 단면도이다.

도 15 및 도 16은 본 발명의 다른 실시예에 따른 반도체 소자의 게이트 전극들의 형성방법을 설명하기 위한 사시도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 반도체소자의 형성방법에 관한 것으로, 특히, 트렌치 소자분리막을 갖는 반도체 소자의 형성방법에 관한 것이다.
- <9> 반도체 소자 중에 소자분리막은 서로 이웃하는 반도체 소자들을 전기적으로 격리시킨다. 반도체 소자의 고집적화 경향으로 인하여 작은 면적에서의 우수한 절연 특성을 갖는 소자분리 기술의 개발이 요구되고 있다.
- <10> 현재, 널리 사용되고 있는 소자분리막은 트렌치 소자분리막이다. 트렌치 소자분리막은 반도체기판의 소정영역을 소정의 깊이로 식각하여 트렌치를 형성한 후, 트렌치 내부를 절연막으로 갱필하여 형성된다. 트렌치 소자분리막은 반도체기판의 소정영역에 열산화막으로 형성하는 로코스((LOCOS; LOCalOxidation of Silicon) 소자분리막에 비하여 작은 면적을 갖고, 절연 특성 역시 우수하다.
- <11> 도 1 및 도 2는 종래의 트렌치 소자분리막의 형성방법을 설명하기 위한 단면도들이다.
- <12> 도 1 및 도 2를 참조하면, 반도체기판(1) 상에 버퍼산화막(2) 및 하드마스크막(3)을 차례로 형성하고, 상기 하드마스크막(3) 및 상기 버퍼산화막(2)을 연속적으로 패터닝하여 상기 반도체기판(1)의 소정영역을 노출시킨다. 상기 노출된 반도체기판(1)을 선택적으로 식각하여 상기 반도체기판(1)의 표면으로 부터 소정의 깊이를 갖는 트렌치(4)를 형성한다. 상기 트렌치(4) 내부 측벽 및 바닥에 측벽산화막(5)을 형성한다. 상기 버퍼산

화막(2)은 실리콘산화막으로 형성하며, 상기 하드마스크막(3)은 실리콘질화막으로 형성하고, 상기 측벽산화막(5)은 열산화막으로 형성한다.

<13> 상기 트렌치(4)를 갖는 반도체기판(1) 전면에 콘포말한 라이너막(6)을 형성한다.

상기 라이너막(6) 상에 상기 트렌치(4) 내부를 채우는 소자분리절연막(7)을 형성한다.

상기 라이너막(6)은 실리콘질화막으로 형성하고, 상기 소자분리절연막(7)은 실리콘산화막으로 형성한다.

<14> 상기 소자분리절연막(7)을 상기 라이너막(6)이 노출될때까지 평탄화하여 상기 트렌치(4) 내에 소자분리막(7a)을 형성한다. 상기 노출된 라이너막(6) 및 상기 하드마스크막(3)을 습식식각으로 제거하여 상기 트렌치(4) 내부에 라이너(6a)를 형성한다. 이때, 상기 소자분리막(3)의 측벽 상부에 덴트(8, dent)가 발생할 수 있다. 다시 말해서, 상기 라이너(6a) 형성시, 상기 습식식각으로 인하여, 상기 라이너(6a)의 끝단이 식각되어 덴트(8)가 발생할 수 있다.

<15> 상기 버퍼산화막(2)을 제거하여 상기 반도체기판(1)을 노출시키고, 상기 반도체기판(1) 상에 차례로 적층된 게이트산화막(9) 및 게이트 전극(10)을 형성한다. 이때, 상기 게이트 전극(10)은 상기 덴트(8)내에 형성될 수 있다. 이로 인하여, 상기 게이트 전극(10)을 갖는 트랜지스터의 특성이 열화될 수 있다. 다시 말해서, 상기 트랜지스터에 험프(hump)현상 또는 역협곡현상(Inverse Narrow Width Effect)등이 발생할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자 하는 기술적 과제는 트렌치 소자분리막 형성시, 발생하는 덴트(dent)를 최소화할 수 있는 트렌치 소자분리막을 갖는 반도체 소자의 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

<17> 상술한 기술적 과제를 해결하기 위한 트렌치 소자분리막을 갖는 반도체소자의 형성 방법을 제공한다. 이 방법은 반도체기판에 버퍼절연막 및 하드마스크막을 차례로 형성하는 단계를 포함한다. 상기 하드마스크막 및 상기 버퍼절연막을 연속적으로 패터닝하여 상기 반도체기판의 소정영역을 노출시키는 개구부를 형성한다. 상기 노출된 반도체기판을 선택적으로 식각하여 트렌치를 형성하고, 상기 트렌치 내에 상부 측벽에 홈을 갖는 하부 소자분리막을 형성한다. 상기 하부 소자분리막 상에 상기 홈 및 상기 트렌치를 채우는 상부 소자분리막을 형성하고, 상기 하드마스크막 및 상기 버퍼절연막을 상기 반도체기판이 노출될때까지 식각하여 제거한다. 이때, 상기 홈은 상기 반도체기판의 표면으로부터 소정의 깊이를 갖는다.

<18> 구체적으로, 상기 하부 소자분리막을 형성하는 방법은 상기 트렌치 내부를 포함하는 반도체기판 전면에 콘포말한 라이너막을 형성하고, 상기 라이너막 상에 상기 트렌치 내부를 채우는 하부 소자절연막을 형성한다. 상기 하부 소자절연막을 상기 개구부 측벽상의 라이너막이 노출될때까지 등방성 식각하여 상기 트렌치 내부에 하부 소자절연막 패턴을 형성한다. 상기 라이너막을 등방성 식각하여 상기 트렌치 내에 형성되되, 끝단이 상기 반도체기판의 표면으로부터 소정의 깊이로 이격된 라이너를 형성한다. 이때, 상기 라이너 및 상기 하부 소자절연막 패턴은 상기 하부 소자분리막을 구성하고, 상기 홈은

상기 라이너, 상기 하부 소자절연막 패턴의 상부 측벽 및 상기 트렌치의 상부측벽으로 둘러싸인 빈공간이다.

<19> 본 발명에 따른 트렌치 소자분리막을 갖는 반도체 소자의 형성방법은 비휘발성 기억소자에 적용될 수 있다. 본 발명의 다른 실시예에 따른 반도체 소자의 형성방법은 반도체기판에 터널절연막, 제1 플로팅 게이트 도전막, 버퍼절연막 및 하드마스크막을 차례로 형성하는 단계를 포함한다. 상기 하드마스크막, 상기 버퍼절연막, 상기 제1 플로팅 게이트 도전막 및 상기 터널절연막을 연속적으로 패터닝하여 제1 플로팅 게이트 패턴 및 상기 반도체기판의 소정영역을 노출시키는 개구부를 형성한다. 상기 노출된 반도체기판을 선택적으로 식각하여 활성영역을 한정하는 트렌치를 형성하고, 상기 트렌치 내에 상부 측벽에 홈을 갖는 하부 소자분리막을 형성한다. 상기 하부 소자분리막 상에 상기 홈 및 상기 트렌치를 채우는 상부 소자분리막을 형성하고, 상기 하드마스크막 및 상기 버퍼절연막을 상기 제1 플로팅 게이트 패턴이 노출될때까지 식각하여 제거한다. 이때, 상기 홈은 상기 반도체기판의 표면으로 부터 소정의 깊이를 갖는다.

<20> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화 될 수도 있다. 오히려, 여기서 소개되는 실시들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어 진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우는 그것은 다른 층 또는 기판 상에 직접 형성될 수

있거나 또는 그들 사이에 제 3의 층이 개재 될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소들을 나타낸다.

<21> (실시에 1)

<22> 도 3a, 도 3b, 도 4 내지 도 8은 본 발명의 일 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이고, 도 3b 및 도 4b는 일 실시예에 따른 반도체 소자 중에 하부 소자절연막 패턴을 형성하는 다른 방법을 설명하기 위한 단면도들이다.

<23> 도 3a, 도4a, 도3b 및 도 4b를 참조하면, 반도체기판(101) 상에 버퍼절연막(102) 및 하드마스크막(103)을 차례로 형성한다. 상기 버퍼절연막(102)은 실리콘산화막으로 형성할 수 있다. 상기 하드마스크막(103)은 상기 반도체기판(101)과 식각선택비를 갖는 물질막, 예컨대, 실리콘질화막으로 형성할 수 있다. 상기 하드마스크막(103) 및 상기 버퍼절연막(102)을 연속적으로 패터닝하여 상기 반도체기판(101)의 소정영역을 노출시키는 개구부(104)를 형성한다. 상기 개구부(104)의 측벽은 상기 하드마스크막(103) 및 상기 버퍼절연막(102)으로 구성된다. 상기 개구부(104)에 노출된 반도체기판(101)을 선택적으로 식각하여 활성영역을 한정하는 트렌치(105)를 형성한다. 상기 트렌치(105) 형성시, 손상된 상기 트렌치(105)의 내부측벽 및 바닥을 치유하기 위하여 상기 트렌치(105) 내부 측벽 및 바닥에 측벽산화막(106)을 형성할 수 있다. 상기 측벽산화막(106)은 열산화막 또는 열산질화막으로 형성할 수 있다.

<24> 상기 측벽산화막(106)을 갖는 반도체기판(101)에 콘포말한 라이너막(107)을

형성한다. 상기 라이너막(107)은 장력스트레스에 내성을 갖는 절연막, 예컨대, 실리콘질화막으로 형성하는 것이 바람직하다. 상기 라이너막(107) 상에 식각보호막(108) 및 하부 소자절연막(109)을 차례로 형성한다. 상기 하부 소자절연막(109)은 갭필(gap-fill) 특성이 우수한 실리콘산화막, 예컨대, 고밀도 플라즈마 실리콘산화막(High Density Plasma SiO₂)으로 형성하는 것이 바람직하다. 상기 식각보호막(108)은 상기 하부 소자절연막(109)이 상기 고밀도 플라즈마 실리콘산화막으로 형성될 때, 상기 라이너막(107)을 보호하는 역할을 한다. 상기 식각보호막(108)은 절연막, 예컨대, 실리콘산화막으로 형성할 수 있다. 상기 식각보호막(108)은 생략될 수 있다. 상기 하부 소자절연막(109)은 상기 트렌치(105) 내부를 채우는 것이 바람직하다. 이때, 상기 하부 소자절연막(109)은 상기 개구부(104)의 일부분을 채우는 것이 바람직하다.

<25> 상기 하부 소자절연막(109) 및 상기 식각보호막(108)을 상기 개구부(104) 측벽의 상기 라이너막(107)이 노출될때까지 등방성 식각, 예컨대, 습식식각으로 식각하여 상기 트렌치(105) 내부에 차례로 적층된 식각보호막 패턴(108a) 및 하부 소자절연막 패턴(109a)을 형성한다. 상기 하부 소자절연막 패턴(109a)의 상부면은 그것의 중앙높이가 그것의 양측들보다 낮을 수 있다. 즉, 상기 트렌치(105)의 일부분은 빈공간일 수 있다.

<26> 다른 방법으로, 상기 하부 소자절연막 패턴(109a)은 적어도 2개의 보조절연막 패턴(110a)들이 적층된 구조로 형성될 수 있다. 이 방법은 도 3b 및 도 4b에 도시된 단면도들을 참조하여 설명한다. 상기 식각보호막(108) 상에 보조 절연막(110)을 형성한다. 상기 보조 절연막(110)은 상기 트렌치(105)의 일부분을 채운다. 상기 보조 절연막(110)은 갭필 특성이 우수한 실리콘산화막, 예컨대, 고밀도 플라즈마 실리콘산화막으로 형성하는 것이 바람직하다. 상기 보조 절연막(110)을 상기 개구부(104) 내측벽 상의 상기 식

각보호막(108)이 노출될때까지 등방성식각하여 상기 트렌치(105) 내부 바닥으로 소정의 높이를 갖는 보조 절연막 패턴(110a)을 형성한다.

<27> 상기 보조 절연막(110) 및 상기 식각보호막(108)이 식각율이 같을 경우, 상기 개구부(104) 측벽의 상기 보조 절연막(110)의 두께에 대한 타임식각(time etching)으로 상기 보조 절연막(110)을 식각하여 상기 보조 절연막 패턴(110a)을 형성할 수 있다. 이와는 달리, 상기 개구부(104) 측벽의 상기 라이너막(107)이 노출될때까지 상기 보조절연막(110) 및 상기 식각 보호막(108)을 연속으로 식각할 수도 있다.(미도시함)

<28> 상기 보조 절연막 패턴(110a) 상에 상술한 방법을 반복하여 다른 보조절연막 패턴(110a)을 형성한다. 상기 하부 소자절연막 패턴(109a)를 구성한다. 상기 하부 소자절연막 패턴(109a)은 적어도 2개의 상기 보조절연막 패턴(110a)들이 적층된 구조로 형성될 수 있다. 상기 보조 절연막 패턴들(110a) 중에 최상부의 보조절연막 패턴(110a)을 형성할때, 상기 개구부(104) 측벽 상의 상기 식각보호막(108)을 상기 라이너막(107)이 노출될때까지 식각하여 상기 트렌치(105) 내에 식각보호막 패턴(108a)을 형성한다.

<29> 도 5 및 도 6을 참조하면, 상기 개구부(104) 내측벽 상의 상기 노출된 라이너막(107)을 등방성 식각하여 상기 트렌치(105) 내부에 라이너(107a)를 형성한다. 이때, 상기 라이너(107a)의 끝단은 상기 등방성 식각으로 인하여 상기 반도체기판의 표면으로 부터 소정의 깊이로 이격된다. 이로 인하여, 상기 하부 소자절연막 패턴(109a) 상부 측벽에 인접한 홈(k)이 형성된다. 다시 말해서, 상기 홈(k)은 상기 하부 소자절연막 패턴(109a)의 상부 측벽에 인접한 상기 식각보호막 패턴(108a), 상기 라이너(107a) 및 상기 트렌치(105)의 상부 측벽으로 둘러싸인 빈공간이다. 상기 하부 소자절연막 패턴(109a),

상기 식각보호막 패턴(108a) 및 상기 라이너(107a)는 하부 소자분리막(115)을 구성한다.
즉, 상기 하부 소자분리막(115)은 상부 측벽에 상기 홈(k)을 갖는다.

<30> 상기 홈(k)을 갖는 반도체기판(101) 전면에서 상기 홈(k)을 채우는 캐핑절연막(117)을 콘포말하게 형성할 수 있다. 상기 캐핑절연막(117)은 상기 하드마스크막(103)에 대하여 식각선택비를 갖는 절연막, 예컨대, 실리콘산화막으로 형성할 수 있다. 상기 캐핑절연막(117) 상에 상기 트렌치(105) 및 상기 개구부(104)를 채우는 상부 소자절연막(119)을 형성한다. 상기 상부 소자절연막(119)은 상기 하드마스크막(103)에 대하여 식각선택비를 갖고, 갭필특성이 우수한 절연막으로 형성한다. 예를 들면, 고밀도 플라즈마 실리콘산화막으로 형성하는 것이 바람직하다. 상기 캐핑절연막(117)은 상기 상부 소자절연막(119)이 상기 고밀도 플라즈마 실리콘산화막으로 형성될 때, 상기 홈(k)에 노출된 상기 트렌치(105)의 상부측벽을 보호하는 역할을 한다. 상기 캐핑절연막(117)은 생략될 수 있다. 상기 캐핑절연막(117)이 생략될 경우, 상기 홈(k)을 상기 상부 소자절연막(119)이 채운다. 상술한 방법에 의하여 종래의 하드마스크막 제거시, 라이너의 일부가 식각되어 발생하던 종래의 덴트를 방지할 수 있다. 다시 말해서, 종래의 덴트가 형성되던 부분에 상기 홈(k)을 형성하고, 상기 홈(k)을 상기 캐핑절연막(117) 또는 상기 상부 소자절연막(119)으로 채움으로써, 상기 하드마스크막(103)을 식각할 때, 발생하던 종래의 덴트를 방지할 수 있다.

<31> 도 7 및 도 8을 참조하면, 상기 상부 소자절연막(119) 및 상기 캐핑절연막(117)을 상기 하드마스크막(103)이 노출될 때까지 평탄화시켜 상기 하부 소자분리막(115) 상에 적층된 캐핑절연막 패턴(117a) 및 상부 소자절연막 패턴(119a)을 형성한다. 상기 캐핑절연막 패턴(117a) 및 상기 상부 소자절연막 패턴(119a)은 상부 소자분리막(120)을 구성한

다. 상기 캐핑절연막 패턴(117a)이 생략될 경우, 상기 상부 소자분리막(120)은 상기 상부 소자절연막 패턴(119a)이다. 상기 하부 소자분리막(115) 및 상기 상부 소자분리막(120)은 트렌치 소자분리막(130)을 구성한다.

<32> 상기 노출된 하드마스크막(103) 및 상기 버퍼절연막(102)을 상기 반도체기판(101)의 표면이 노출되도록 식각하여 제거한다. 이때, 라이너(107a)는 상기 상부 소자분리막(120)에 의해 보호됨으로써, 종래의 덴트가 발생하던 현상을 방지할 수 있다.

<33> (실시예 2)

<34> 본 발명에 따른 다른 실시예에서는, 트렌치 소자분리막을 갖는 비휘발성 기억소자의 형성방법을 보여준다. 비휘발성 기억소자는 전하를 저장하는 플로팅 게이트 전극 및 프로그램, 소거 및 선택 동작을 제어하는 제어게이트 전극으로 구성될 수 있다. 본 실시예에서는, 상기 플로팅 게이트 전극과 트렌치가 자기정렬에 의해 형성된다.

<35> 도 9, 도 10, 도 11a, 도 12a, 도 13 및 도 14는 본 발명의 다른 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이며, 도 11b는 본 발명의 다른 실시예에 따른 반도체 소자 중 하부 소자절연막 패턴을 형성하는 다른 방법을 설명하기 위한 단면도이고, 도 12b는 본 발명의 다른 실시예에 따른 반도체 소자 중 식각완충막을 설명하기 위한 단면도이다. 도 15 및 도 16은 본 발명의 다른 실시예에 따른 반도체 소자의 게이트 전극들의 형성방법을 설명하기 위한 사시도들이다.

<36> 도 9 및 도 10을 참조하면, 반도체기판(201) 상에 터널절연막(202), 제1 플로팅 게이트 도전막(203), 버퍼절연막(204) 및 하드마스크막(205)을 차례로 형성한다. 상기 터널절연막(202)은 열산화막 또는 열산질화막으로 형성할 수 있다. 상기 제1 플로팅 게이

트 도전막(203)은 도전막, 예컨대, 도핑된 폴리실리콘막으로 형성할 수 있다. 상기 버퍼 절연막(204)은 CVD 실리콘산화막으로 형성할 수 있다. 상기 버퍼절연막(204)은 생략될 수 있다. 상기 하드마스크막(205)은 상기 반도체기판(201)과 식각선택비를 갖는 물질막, 예컨대, 실리콘질화막으로 형성할 수 있다.

<37> 상기 하드마스크막(205), 상기 버퍼절연막(204), 상기 제1 플로팅 게이트 도전막(203) 및 상기 터널절연막(202)을 연속적으로 패터닝하여 상기 반도체기판(201)의 소정 영역을 노출시키는 개구부(206)를 형성한다. 이때, 상기 제1 플로팅 게이트 도전막(203)은 제1 플로팅 게이트 패턴(203a)으로 형성된다. 상기 개구부(206)의 내측벽은 상기 하드마스크막(205), 상기 버퍼절연막(204), 상기 제1 플로팅 게이트 패턴(203a) 및 상기 터널절연막(202)으로 이루어진다. 상기 개구부(206)에 노출된 반도체기판(201)을 선택적으로 식각하여 활성영역을 한정하는 트렌치(207)를 형성한다. 이때, 상기 제1 플로팅 게이트 패턴(203a)은 상기 트렌치(207)와 자기정렬 된다. 즉, 상기 제1 플로팅 게이트 패턴(203a)은 상기 활성영역 상에 위치한다.

<38> 식각공정으로 야기된 상기 트렌치(207)의 손상된 내측벽 및 바닥에 측벽산화막(208)을 형성할 수 있다. 상기 측벽산화막(208)은 상기 트렌치(207)의 손상된 내측벽 및 바닥을 치유할 목적으로 형성된다. 상기 측벽산화막(208)을 갖는 반도체기판(201)에 콘포말한 라이너막(209)을 형성한다. 상기 라이너막(209)은 장력스트레스에 대한 내성을 갖는 절연막, 예컨대, 실리콘질화막으로 형성할 수 있다. 상기 라이너막(209) 상에 식각보호막(210) 및 하부 소자절연막(211)을 차례로 형성한다. 상기 하부 소자절연막(211)은 갭필 특성이 우수한 실리콘산화막, 예컨대, 고밀도 플라즈마 실리콘산화막(High Density Plasma SiO₂)으로 형성하는 것이 바람직하다. 상기 식각보호막(210)은 상기 하

부 소자절연막(108)이 상기 고밀도 플라즈마 실리콘산화막으로 형성될때, 상기 라이너막(209)을 보호하는 역할을 한다. 상기 식각보호막(210)은 절연막, 예컨대, CVD실리콘산화막으로 형성할 수 있다. 상기 식각보호막(210)은 생략될 수 있다. 상기 하부 소자절연막(211)은 상기 트렌치(207) 내부를 채우는 것이 바람직하다. 이때, 상기 하부 소자절연막(211)은 상기 개구부(206)의 일부분을 채우는 것이 바람직하다.

<39> 도 11a 및 도 11b를 참조하면, 상기 하부 소자절연막(211) 및 상기 식각보호막(210)을 상기 개구부(206) 측벽의 상기 라이너막(209)이 노출될때까지 등방성식각, 예컨대, 습식식각으로 식각하여 상기 트렌치(207) 내에 차례로 적층된 식각보호막 패턴(210a) 및 하부 소자절연막 패턴(211a)을 형성한다. 상기 하부 소자절연막 패턴(211a)의 상부면 양 측은 상기 반도체기판(201)의 표면과 같은 높이를 갖도록 형성할 수 있다. 이와는 다르게, 상기 하부 소자절연막 패턴(211a)의 상부면 양측은 상기 반도체기판(201)의 표면보다 낮은 높이를 갖도록 형성할 수 있다.

<40> 다른 방법으로, 도 11b에 도시된 바와 같이, 상기 하부 소자절연막 패턴(211a)은 적어도 2개의 보조절연막 패턴들(212a)이 적층된 구조로 형성될 수 있다. 상기 보조 절연막 패턴들(211a)의 형성방법은 도 3b 및 도 4b에 도시된 보조절연막(110) 및 보조절연막 패턴(110a) 형성방법과 동일한 방법으로 형성할 수 있다.

<41> 도 12a 및 도 12b를 참조하면, 상기 개구부(206) 내 측벽상의 상기 라이너막(209)을 등방성식각, 예컨대, 습식식각하여 트렌치(207) 내에 라이너(209a)를 형성한다. 이때, 상기 라이너(209a)의 끝단은 상기 등방성식각으로 인하여 상기 반도체기판(201)의 표면으로부터 소정의 깊이로 이격된다. 즉, 상기

하부 소자절연막 패턴(211a)의 상부 측벽과 접하는 상기 식각보호막 패턴(210a), 상기 라이너(209a) 및 상기 트렌치(207)의 상부 측벽으로 둘러 싸인 홈(k)이 형성된다. 상기 라이너(209a), 상기 식각 보호막 패턴(210a) 및 상기 하부 소자절연막 패턴(211a)은 하부 소자분리막(215)을 구성한다. 즉, 상기 하부 소자분리막(215)은 양 측벽 상부에 각각 상기 홈(k)을 갖는다.

<42> 상기 라이너막(209)을 형성하기 전에, 식각완충막(250)을 형성할 수 있다. 상기 식각완충막(250)은 측벽산화막(208)을 갖는 반도체기판(201) 전면에서 콘포말하게 형성한다. 이때, 상기 제1 플로팅 게이트 패턴(203a) 및 상기 터널절연막(202)의 양 측벽은 상기 식각완충막(250)으로 보호된다. 상기 식각완충막(250)은 상기 라이너막(209)을 등방성 식각인 습식식각으로 식각하여 상기 라이너(209a)를 형성할때, 상기 터널절연막(202) 및 상기 제1 플로팅 게이트 패턴(203a)의 측벽을 보호하는 역할을 한다. 상기 식각완충막(250)은 CVD실리콘산화막으로 형성할 수 있다. 도 12b에서 상기 식각완충막(250)의 점선 부분은 상기 라이너(209a) 형성시 식각되어 제거될 수 있는 부분을 나타낸 것이다. 이때, 상기 홈(k)의 바닥은 상기 식각완충막(250) 및 상기 라이너(209a)로 구성될 수 있다. 상기 식각완충막(250)은 제거될 수 있다.

<43> 도 13 및 도 14를 참조하면, 상기 홈(k)을 채우는 캐핑절연막(217)을 반도체기판(201) 전면에서 콘포말하게 형성하고, 상기 캐핑절연막(217) 상에 상기 트렌치(207) 및 상기 개구부(206)를 채우는 상부 소자절연막(219)을 형성한다. 상기 캐핑절연막(217)은 하드마스크막(205)에 대하여 식각선택비를 갖는 절연막, 예

컨대, 실리콘산화막으로 형성할 수 있다. 상기 상부 소자절연막(219)은 상기 하드마스크막(205)에 대하여 식각선택비를 갖는 절연막, 예컨대, 고밀도 플라즈마 실리콘산화막으로 형성하는 것이 바람직하다. 상기 캐핑절연막(217)은 상기 상부 소자절연막(219)이 상기 고밀도 플라즈마 실리콘산화막으로 형성할 시, 상기 홈(k)에 노출된 상기 트렌치(207)의 상부측벽을 보호하는 역할을 한다. 상기 캐핑절연막(217)은 생략될 수 있다. 이때에는, 상기 상부 소자절연막(219)이 상기 홈(k)을 채운다.

<44> 상기 상부 소자절연막(219) 및 상기 캐핑절연막(217)을 상기 하드마스크막(205)이 노출될때까지 평탄화하여 상기 하부 소자분리막(115) 상에 적층된 캐핑절연막 패턴(217a) 및 상부 소자절연막 패턴(219a)으로 구성된 상부 소자분리막(220)을 형성한다. 상기 캐핑절연막 패턴(217a)이 생략될 경우, 상기 상부 소자분리막(220)은 상기 소자절연막 패턴(219a)이다. 상기 하부 소자분리막(215) 및 상기 상부 소자분리막(220)은 트렌치 소자분리막(230)을 구성한다.

<45> 상기 노출된 하드마스크막(205) 및 버퍼절연막(204)을 제1 플로팅 게이트 패턴(203a)이 노출될때까지 식각하여 제거한다. 이때, 상기 라이너(209a)는 상기 상부 소자분리막(220)에 의하여 덮혀있음으로, 종래의 하드마스크막 식각시 라이너가 식각되어 발생하던 종래의 덴트를 방지할 수 있다. 다시 말해서, 상기 하드마스크막(205)을 제거하기 전에, 상기 라이너(209a)를 식각하여 상기 홈(k)을 형성하고, 상기 홈(k) 내부를 상기 하드마스크막(205)에 대하여 식각선택비를 갖는 상기 상부 소자분리막(220)으로 채운다. 이로 인하여, 종래의 하드마스크막 제거시 라이너 일부가 식각되어 발생하던 종래의 덴트를 방지할 수 있다.

- <46> 다음으로, 도 14 및 도 15를 참조하여 본 발명의 다른 실시예에 따른 비휘발성 기억소자의 게이트 전극들의 형성방법을 설명한다.
- <47> 도 14 및 도 15를 참조하면, 도 13의 노출된 제1 플로팅 게이트 패턴(203a)을 갖는 반도체기판(201) 전면에는 제2 플로팅 게이트 도전막(미도시함)을 형성하고, 상기 제2 플로팅 게이트 도전막을 패터닝하여 상기 제1 플로팅 게이트 패턴(203a) 상에 제2 플로팅 게이트 패턴(221)을 형성한다. 상기 제2 플로팅 게이트 패턴(221)은 도전막, 예컨대, 도핑된 폴리실리콘막으로 형성할 수 있다. 상기 제2 플로팅 게이트 패턴(221)을 갖는 반도체기판(201) 전면에는 유전막(223) 및 제어 게이트 도전막(224)을 차례로 형성한다. 상기 유전막(223)은 $\text{ONO}(\text{SiO}_2\text{-SiN-SiO}_2)$ 막으로 형성할 수 있다. 상기 제어 게이트 도전막(224)은 도전막, 예를 들면, 도핑된 폴리실리콘막 또는 폴리사이드막으로 형성할 수 있다. 상기 폴리사이드막은 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성된다.
- <48> 상기 제어 게이트 도전막(224), 상기 유전막(223), 상기 제2 플로팅 게이트 패턴(221) 및 상기 제1 플로팅 게이트 패턴(203a)을 연속적으로 패터닝하여 적층된 제1 플로팅 게이트 전극(203b), 제2 플로팅 게이트 전극(221a), 유전막 패턴(223a) 및 제어 게이트 전극(224a)을 형성한다. 이때, 상기 제1 및 제2 플로팅 게이트 전극들(203b, 221a)은 상기 제어 게이트 전극(224a)에 자기정렬된다. 상기 제1 및 제2 플로팅 게이트 전극들(203b, 221a)은 플로팅 게이트 전극(222)을 구성한다. 상기 플로팅 게이트 전극(222)은 전기적으로 격리된다. 상기 제어 게이트 전극(224a)은 상기 활성영역 상부를 가로지른다

【발명의 효과】

<49> 본 발명에 따르면, 하드마스크막을 제거하기전에, 양 측벽에 홈을 갖는 하부 소자 분리막을 형성하고, 상기 홈을 상기 하드마스크막에 대하여 식각선택비를 갖는 상부 소자분리막으로 채움으로써, 라이너가 노출되지 않게 한다. 이로 인하여, 상기 하드마스크막이 제거될지라도, 라이너의 손실에 의한 종래의 덴트를 방지할 수 있다. 결과적으로, 종래의 덴트로 야기되는 험프 현상등에 의한 트랜지스터의 특성열화를 최소화할 수 있다

【특허청구범위】**【청구항 1】**

반도체기판에 버퍼절연막 및 하드마스크막을 차례로 형성하는 단계;

상기 하드마스크막 및 상기 버퍼절연막을 연속적으로 패터닝하여 상기 반도체기판의 소정영역을 노출시키는 개구부를 형성하는 단계;

상기 노출된 반도체기판을 선택적으로 식각하여 트렌치를 형성하는 단계;

상기 트렌치 내에 상부측벽에 홈을 갖는 하부 소자분리막을 형성하는 단계;

상기 하부 소자분리막 상에 상기 홈 및 상기 트렌치를 채우는 상부 소자분리막을 형성하는 단계; 및

상기 하드마스크막 및 상기 버퍼절연막을 상기 반도체기판이 노출될때까지 식각하여 제거하는 단계를 포함하되, 상기 홈은 상기 반도체기판의 표면으로 부터 소정의 깊이를 갖는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 하부 소자분리막을 형성하기 전에,

상기 트렌치 내측벽 및 바닥에 측벽산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 3】

제 1 항에 있어서,

상기 하부 소자분리막을 형성하는 단계는,

상기 트렌치 내부를 포함하는 반도체기판 전면에 콘포말한 라이너막을 형성하는 단계;

상기 라이너막 상에 상기 트렌치 내부를 채우는 하부 소자절연막을 형성하는 단계;

상기 하부 소자절연막을 상기 개구부 측벽 상의 라이너막이 노출될때까지 등방성 식각하여 상기 트렌치 내부에 하부 소자절연막 패턴을 형성하는 단계; 및

상기 라이너막을 등방성 식각하여 상기 트렌치 내에 형성되되, 끝단이 상기 반도체 기판의 표면으로 부터 소정의 깊이로 이격된 라이너를 형성하는 단계를 포함하되, 상기 라이너 및 상기 하부 소자절연막 패턴은 상기 하부 소자분리막을 구성하고, 상기 홈은 상기 라이너, 상기 하부 소자절연막 패턴의 상부 측벽 및 상기 트렌치의 상부측벽으로 둘러싸인 빈공간인 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 4】

제 3 항에 있어서,

상기 하부 소자절연막을 형성하기 전에,

상기 라이너막 상에 콘포말한 식각보호막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 5】

제 3 항에 있어서,

상기 하부 소자절연막은 고밀도 플라즈마 실리콘산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 6】

제 3 항에 있어서,

상기 하부 소자절연막 패턴은 적어도 2층의 보조절연막 패턴들이 적층된 구조로 형성되는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 7】

제 1 항에 있어서,

상기 상부 소자 분리막을 형성하는 단계는,

상기 하부 소자분리막을 갖는 반도체기판 전면에 상기 홈 및 상기 트렌치를 채우는 상부 소자절연막을 형성하는 단계;

상기 상부 소자절연막을 상기 하드마스크막이 노출될때까지 평탄화하여 상부 소자 분리막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법

【청구항 8】

제 7 항에 있어서,

상기 상부 소자절연막을 형성하기 전에,

상기 하부 소자분리막을 갖는 반도체기판 전면에, 상기 홈을 채우는 캐핑절연막을 형성하는 단계를 더 포함하되, 상기 캐핑절연막은 상기 하드마스크막에 대하여 식각선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 9】

제 7 항에 있어서,

상기 상부 소자절연막은 고밀도 플라즈마 실리콘산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 10】

반도체기판에 터널절연막, 제1 플로팅 게이트 도전막, 버퍼절연막 및 하드마스크막을 차례로 형성하는 단계;

상기 하드마스크막, 상기 버퍼절연막, 상기 제1 플로팅 게이트 도전막 및 상기 터널절연막을 연속적으로 패터닝하여 제1 플로팅 게이트 패턴 및 상기 반도체기판의 소정 영역을 노출시키는 개구부를 형성하는 단계;

상기 노출된 반도체기판을 선택적으로 식각하여 활성영역을 한정하는 트렌치를 형성하는 단계;

상기 트렌치 내에 상부측벽에 홈을 갖는 하부 소자분리막을 형성하는 단계;

상기 하부 소자분리막 상에 상기 홈 및 상기 트렌치를 채우는 상부 소자분리막을 형성하는 단계; 및

상기 하드마스크막 및 상기 버퍼절연막을 상기 제1 플로팅 게이트 패턴이 노출될때 까지 식각하여 제거하는 단계를 포함하되, 상기 홈은 상기 반도체기판의 표면으로 부터 소정의 깊이를 갖는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 11】

제 10 항에 있어서,

상기 하부 소자분리막을 형성하기 전에,

상기 트렌치 내측벽 및 바닥에 측벽산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 12】

제 10 항에 있어서,

상기 하부 소자분리막을 형성하는 단계는,

상기 트렌치 내부를 포함하는 반도체기판 전면에 콘포말한 라이너막을 형성하는 단계;

상기 라이너막 상에 상기 트렌치 내부를 채우는 하부 소자절연막을 형성하는 단계;

상기 하부 소자절연막을 상기 개구부 측벽 상의 라이너막이 노출될때까지 등방성 식각하여 상기 트렌치 내부에 하부 소자절연막 패턴을 형성하는 단계; 및

상기 라이너막을 등방성 식각하여 상기 트렌치 내에 형성되되, 끝단이 상기 반도체기판으로 부터 소정의 깊이로 이격된 라이너를 형성하는 단계를 포함하되, 상기 라이너 및 상기 하부 소자절연막 패턴은 상기 하부 소자분리막을 구성하고, 상기 홈은 상기 라이너, 상기 하부 소자절연막 패턴의 상부 측벽 및 상기 트렌치의 상부측벽으로 둘러싸인 빈공간인 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 13】

제 12 항에 있어서,

상기 라이너막을 형성하기 전에,

상기 트렌치 내부를 포함하는 반도체기판 전면에 콘포말한 식각완충막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 14】

제 12 항에 있어서,

상기 하부 소자절연막을 형성하기 전에,

상기 라이너막 상에 콘포말한 식각보호막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 15】

제 12 항에 있어서,

상기 하부 소자절연막은 고밀도 플라즈마 실리콘산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 16】

제 12 항에 있어서,

상기 하부 소자절연막 패턴은 적어도 2개의 보조절연막 패턴들이 적층된 구조로 형성되는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 17】

제 10 항에 있어서,

상기 상부 소자분리막을 형성하는 단계는,

상기 하부 소자분리막을 갖는 반도체기판 전면에 상기 홈 및 상기 트렌치를 채우는 상부 소자절연막을 형성하는 단계; 및

상기 상부 소자절연막을 상기 하드마스크막이 노출될때까지 평탄화하여 상부 소자 분리막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 18】

제 17 항에 있어서,

상기 상부 소자절연막을 형성하기 전에,

상기 하부 소자분리막을 갖는 반도체기판 전면에 상기 홈을 채우는 캐핑절연막을 형성하는 단계를 더 포함하되, 상기 캐핑절연막은 상기 하드마스크막에 대하여 식각선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 19】

제 17 항에 있어서,

상기 상부 소자절연막은 고밀도 플라즈마 실리콘산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 20】

제 10 항에 있어서,

상기 하드마스크막 및 상기 버퍼절연막을 제거한 후에,

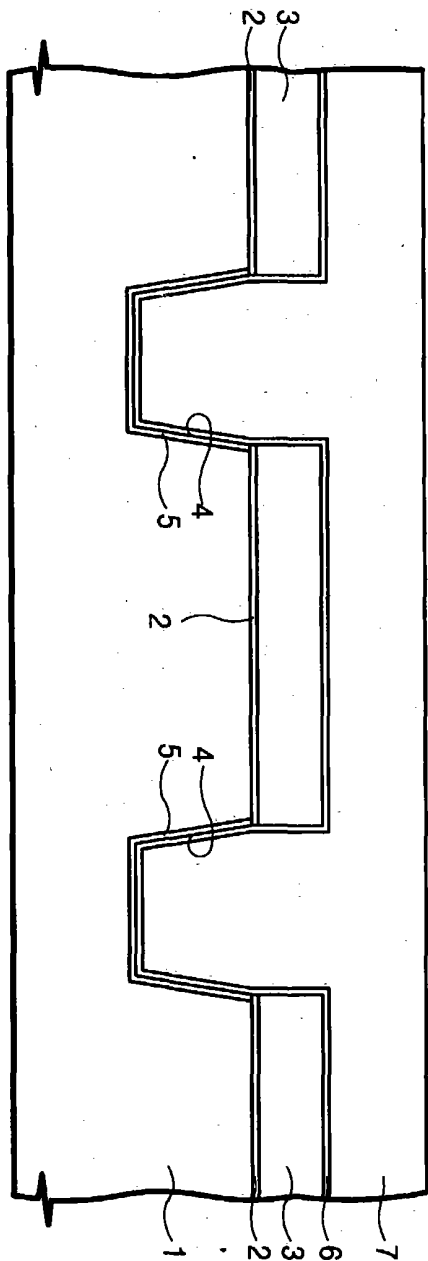
상기 노출된 제1 플로팅 게이트 패턴 상에 제2 플로팅 게이트 패턴을 형성하는 단계;

상기 제2 플로팅 게이트 패턴을 갖는 반도체기판 전면에 유전막 및 제어게이트 도전막을 차례로 형성하는 단계; 및

상기 제어 게이트 도전막, 상기 유전막, 상기 제2 플로팅 게이트 패턴 및 상기 제1 플로팅 게이트 패턴을 연속적으로 식각하여 적층된 제1 플로팅 게이트 전극, 제2 플로팅 게이트 전극, 유전막 패턴 및 제어 게이트 전극을 형성하는 단계를 더 포함하되, 상기 제1 및 제2 플로팅 게이트 전극은 플로팅 게이트 전극을 구성하는 것을 특징으로 하는 반도체 소자의 형성방법.

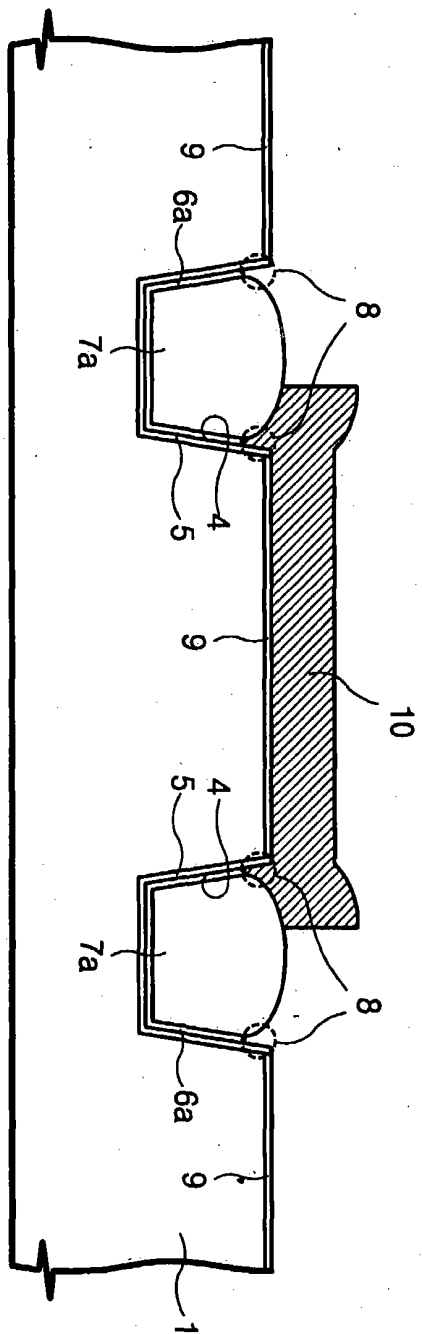
【도면】

【도 1】



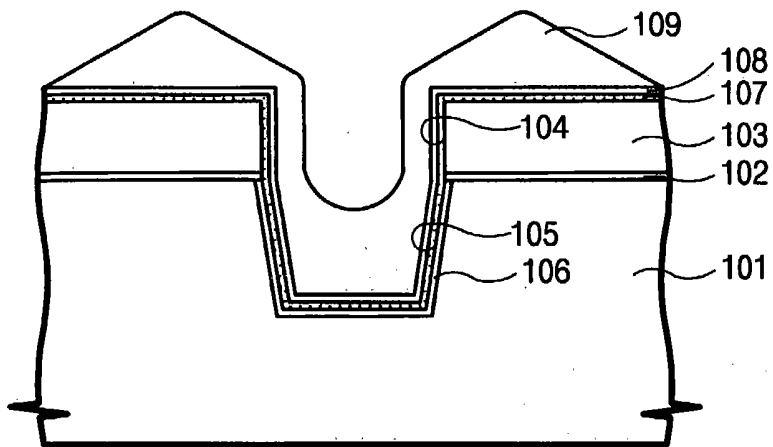
(응답 기술)

【도 2】

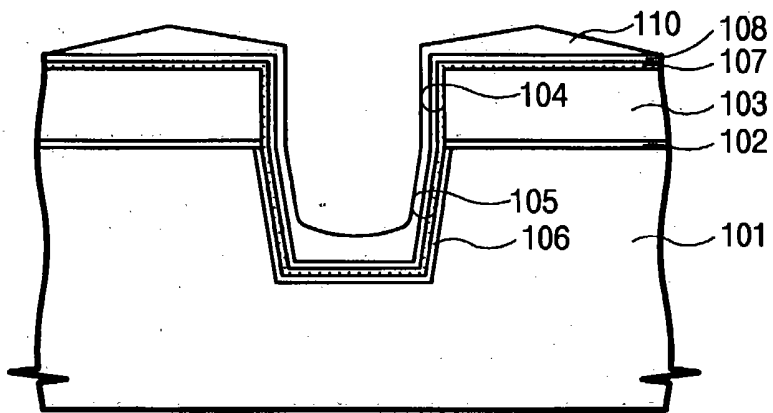


(종래 기술)

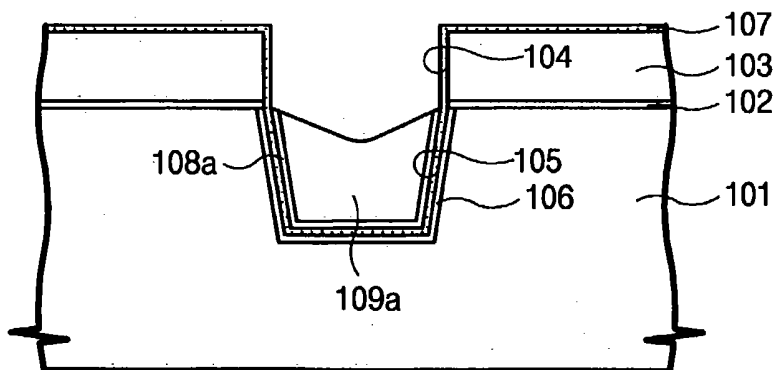
【도 3a】



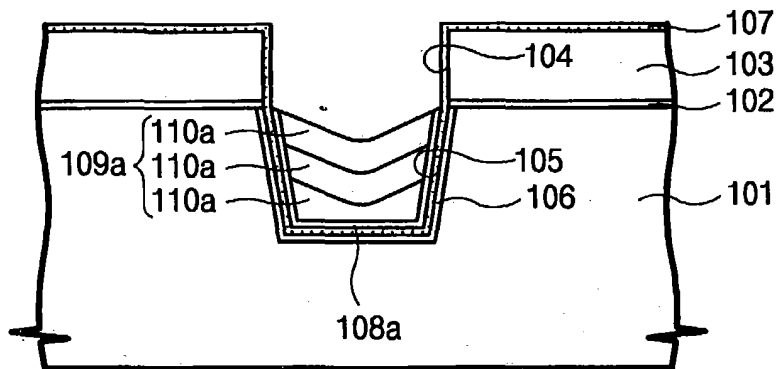
【도 3b】



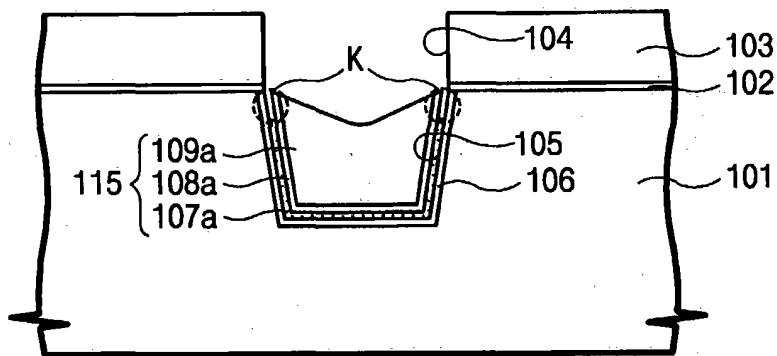
【도 4a】



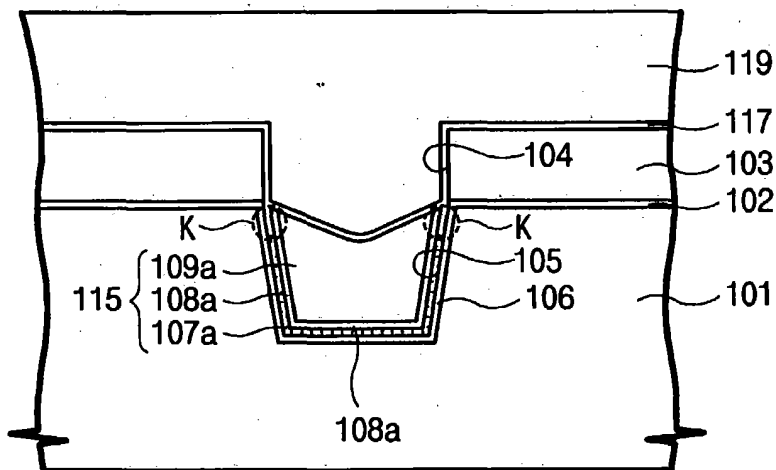
【도 4b】



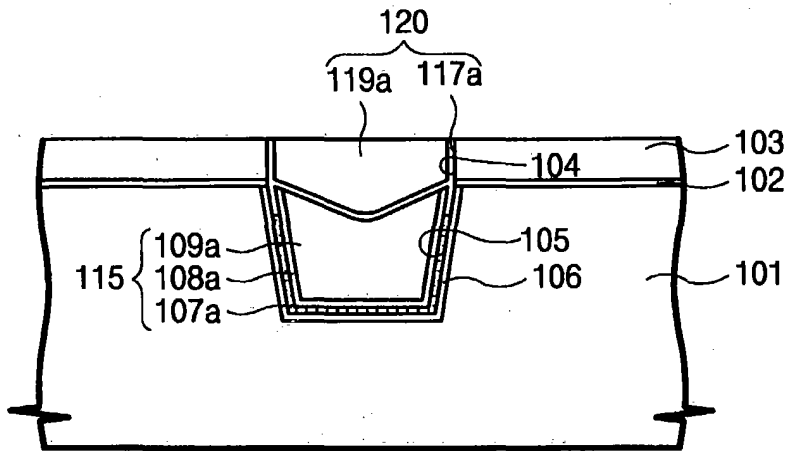
【도 5】



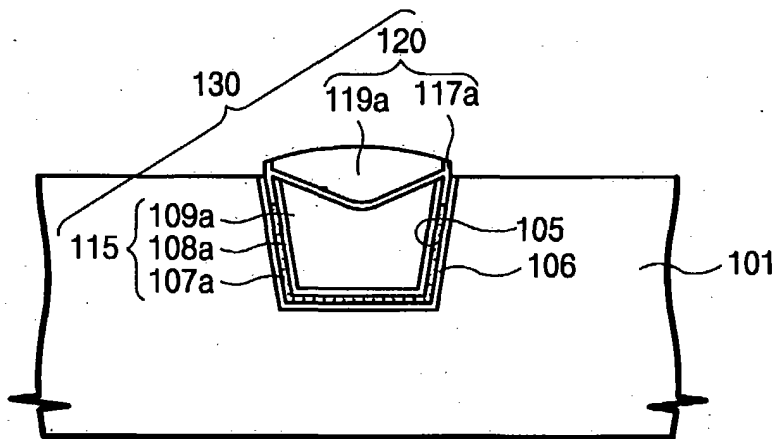
【도 6】



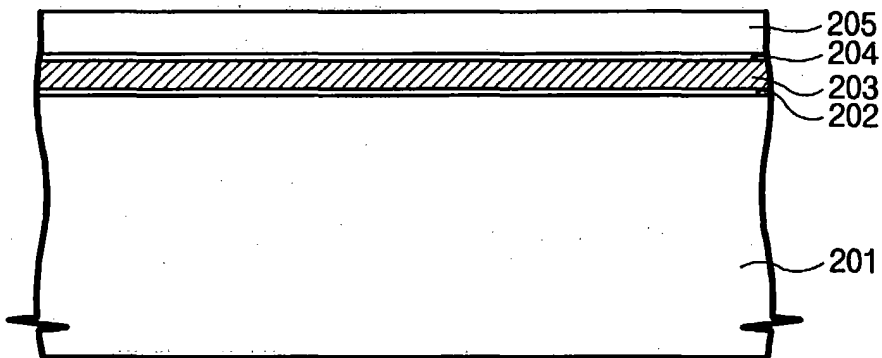
【도 7】



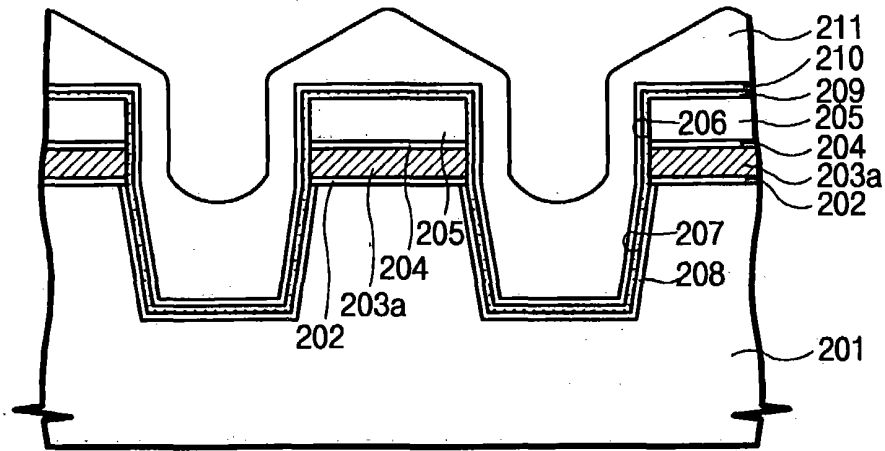
【도 8】



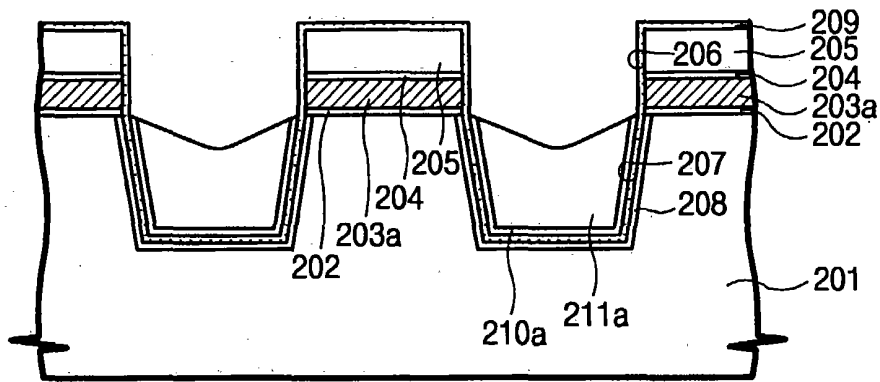
【도 9】



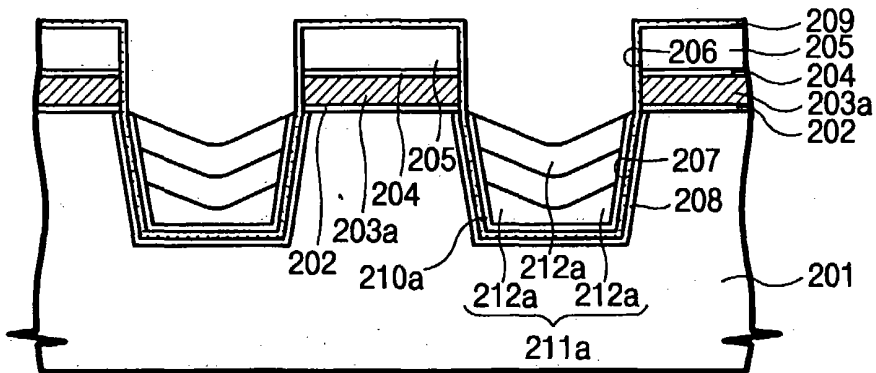
【도 10】



【도 11a】



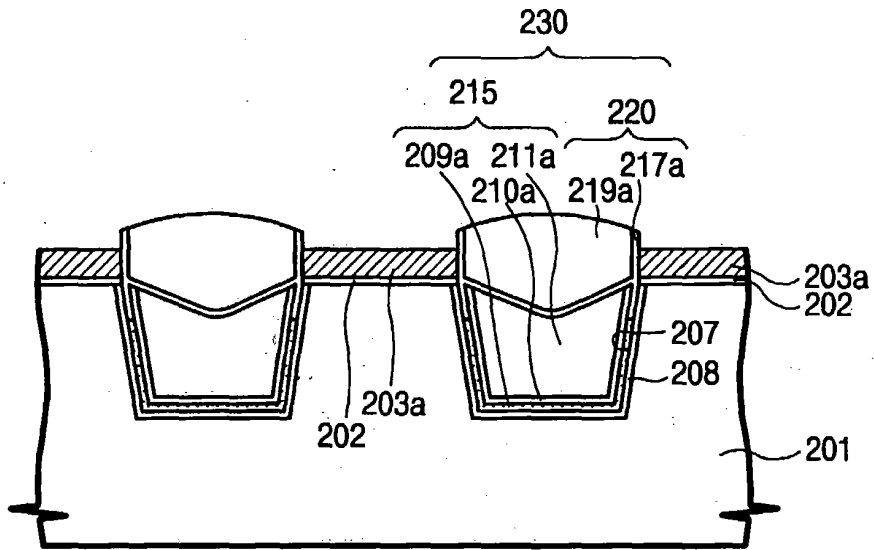
【도 11b】



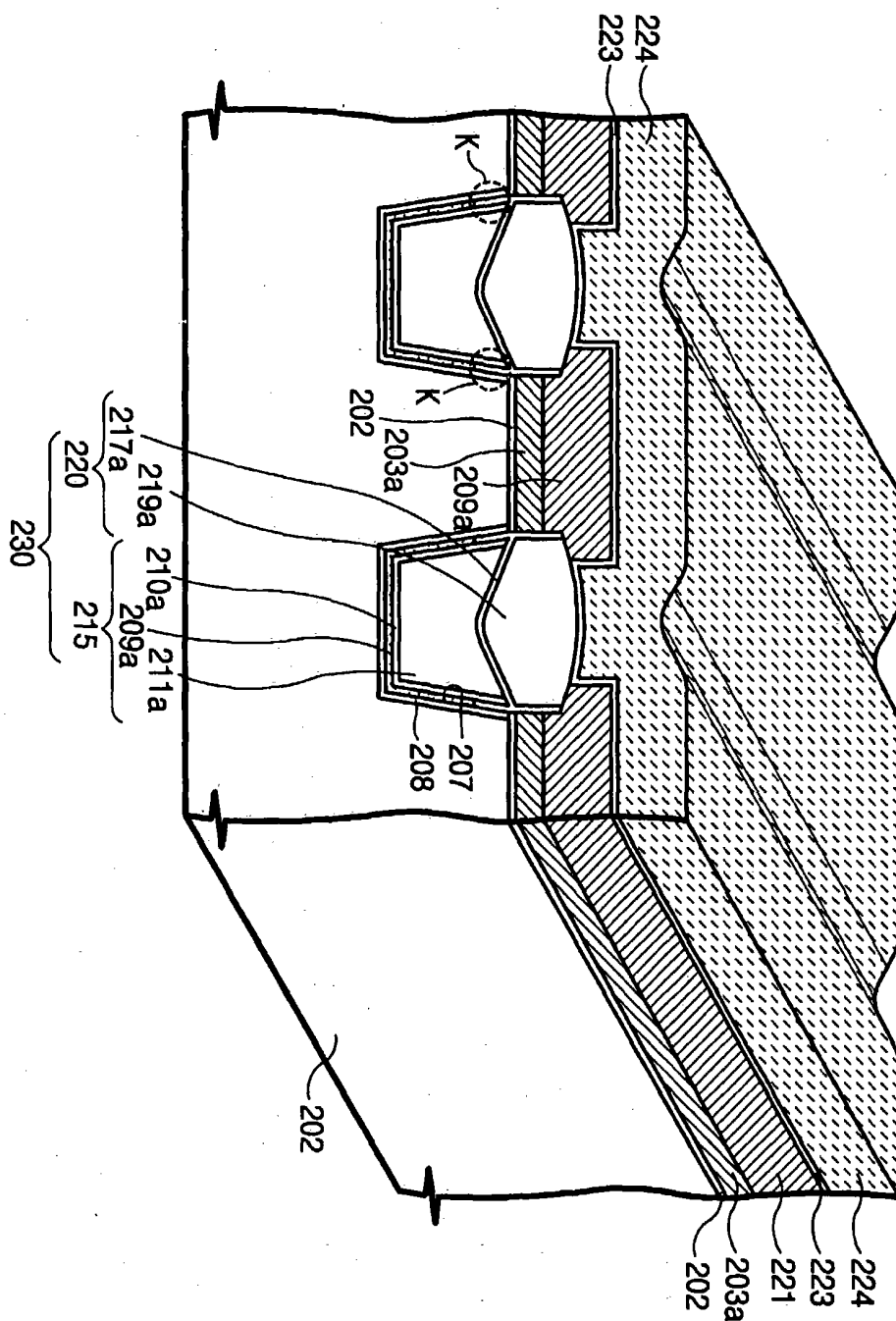
This diagram shows a cross-sectional view of a semiconductor device. It features a substrate 201 with a trench 202. The trench is filled with a material 203a. A layer 204 is deposited on the trench walls and bottom. A layer 205 is deposited on top of the trench walls. A layer 206 is deposited on top of the trench walls. A layer 207 is deposited on top of the trench walls. A layer 208 is deposited on top of the trench walls. A layer 209a is deposited on top of the trench walls. A layer 210a is deposited on top of the trench walls. A layer 211a is deposited on top of the trench walls. A layer 215 is deposited on top of the trench walls. A layer 250 is deposited on top of the trench walls. A layer 205 is deposited on top of the trench walls. A layer 204 is deposited on top of the trench walls. A layer 203a is deposited on top of the trench walls. A layer 202 is deposited on top of the trench walls. A layer 201 is deposited on top of the trench walls. A layer 206 is deposited on top of the trench walls. A layer 207 is deposited on top of the trench walls. A layer 208 is deposited on top of the trench walls. A layer 209a is deposited on top of the trench walls. A layer 210a is deposited on top of the trench walls. A layer 211a is deposited on top of the trench walls. A layer 215 is deposited on top of the trench walls. A layer 250 is deposited on top of the trench walls.

A cross-sectional view of a semiconductor device. The device is built on a wavy substrate 201. It features a series of rectangular blocks 202, 204, and 206, each containing a hatched layer 205. These blocks are connected by a wavy layer 203a. A layer 207 is positioned above the blocks, and a layer 208 is positioned below the wavy layer 203a. A bracket 215 groups the layers 207 and 208. Labels 210a and 211a point to the bottom of the wavy layer 203a. A label 219 points to the top surface of the substrate 201. A label 217 points to the top surface of the blocks. A label 209a points to the bottom of the wavy layer 203a. A label 204 points to the hatched layer 205 in the middle block. A label 205 points to the hatched layer 205 in the right block. A label 206 points to the hatched layer 205 in the left block. A label 207 points to the layer above the blocks. A label 208 points to the layer below the wavy layer 203a. A label 210a points to the bottom of the wavy layer 203a. A label 211a points to the bottom of the wavy layer 203a. A label 215 groups the layers 207 and 208. A label 219 points to the top surface of the substrate 201. A label 217 points to the top surface of the blocks. A label 209a points to the bottom of the wavy layer 203a. A label 204 points to the hatched layer 205 in the middle block. A label 205 points to the hatched layer 205 in the right block. A label 206 points to the hatched layer 205 in the left block. A label 207 points to the layer above the blocks. A label 208 points to the layer below the wavy layer 203a. A label 210a points to the bottom of the wavy layer 203a. A label 211a points to the bottom of the wavy layer 203a. A label 215 groups the layers 207 and 208.

【도 14】



【도 15】



【도 16】

